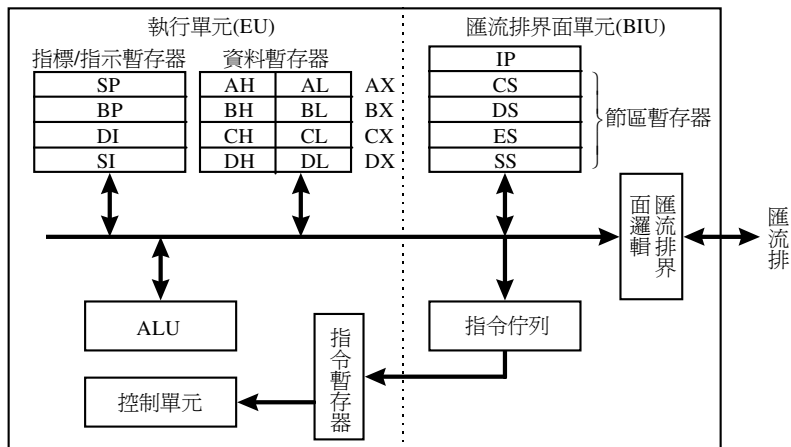


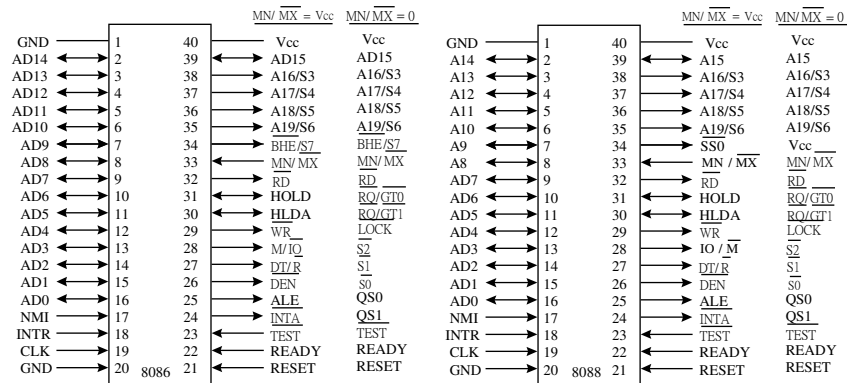
本章目標

- 了解8086 CPU的結構、接腳功能、與資料存取時序
- 了解80286 CPU的結構、接腳功能、與資料存取時序
- 了解80386 CPU的結構、接腳功能、與資料存取時序
- 了解80486 CPU的結構、接腳功能、與資料存取時序
- 了解Pentium的結構、接腳功能、與資料存取時序
- 了解Pentium II、III、與Pentium 4的結構與功能

8086內部功能方塊圖



8086/8088接腳分佈圖



8086/8088接腳功能與類型

接腳名稱	功能	類型
基本信號組		
AD15 ~ AD0	資料/位址匯流排	雙向，三態
A16/S3 , A17/S4	位址/節區識別碼	輸出，三態
A18/S5	位址/中斷致能旗號狀態	輸出，三態
A19/S6	位址/狀態	輸出，三態
BHE/S7	高序資料匯流排位元組致能/狀態	輸出，三態
RD	讀取控制	輸出，三態
READY	WAIT 狀態要求	輸入
TEST	等待測試控制	輸入
INTR	中斷要求	輸入
NMI	不可抑制中斷要求	輸入
RESET	系統重置	輸入
CLK	系統時脈	輸入
Vcc/Gnd	電源/接地	輸入

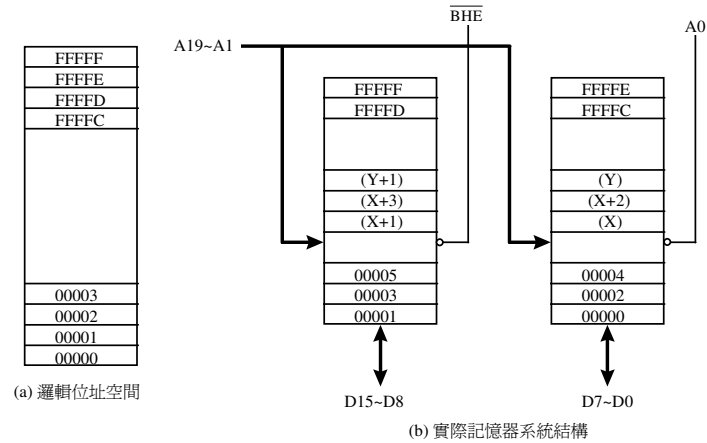
8086/8088接腳功能與類型

最大模式系統信號組(MN/ $\overline{\text{MX}}$ = Gnd)		
$\overline{\text{S2}}$, $\overline{\text{S1}}$, $\overline{\text{S0}}$	匯流排週期狀態	輸出, 三態
$\overline{\text{RQ}}/\overline{\text{GT1}}$, $\overline{\text{RQ}}/\overline{\text{GT0}}$	匯流排優先權控制	雙向
$\overline{\text{QS1}}$, $\overline{\text{QS0}}$	指令佇列狀態	輸出
$\overline{\text{LOCK}}$	匯流排鎖住控制	輸出, 三態
最小模式系統信號組(MN/ $\overline{\text{MX}}$ = Vcc)		
$\overline{\text{M}}/\overline{\text{IO}}$	記憶體/IO 存取控制	輸出, 三態
$\overline{\text{WR}}$	寫入控制	輸出, 三態
$\overline{\text{ALE}}$	位址鎖住致能	輸出
$\overline{\text{DT}}/\overline{\text{R}}$	資料傳送接收	輸出, 三態
$\overline{\text{DEN}}$	資料致能	輸出, 三態
$\overline{\text{INTA}}$	中斷要求認知	輸出
$\overline{\text{HOLD}}$	三態匯流排持住要求	輸入
$\overline{\text{HLDA}}$	三態匯流排持住認知	輸出

SS0*、IO/M*、與DT/R*的信號組合

IO/ $\overline{\text{M}}$	DT/ $\overline{\text{R}}$	$\overline{\text{SS0}}$	名稱	功能
0	0	0	INTA	中斷認知
0	0	1	MEMR	記憶體讀取
0	1	0	MEMW	記憶體寫入
0	1	1	HALT	CPU 執行 HLT 指令而且在 HALT 狀態
1	0	0	IFETCH	CPU 正在讀取指令 OP CODE
1	0	1	IOR	I/O 裝置讀取
1	1	0	IOW	I/O 裝置寫入
1	1	1	NONE	系統匯流排不啟動

記憶體系統結構



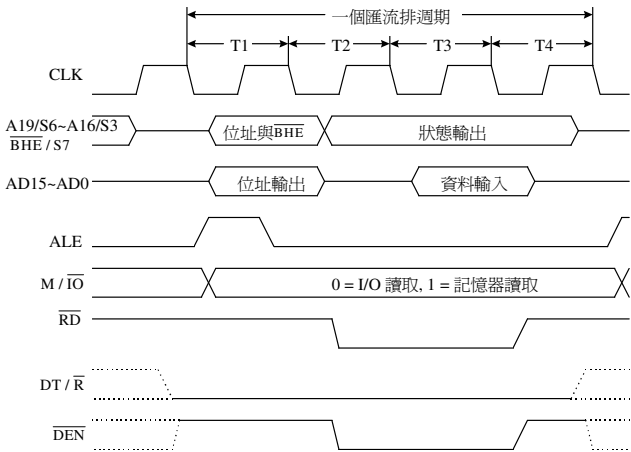
S2*、S1*、與S0*的信號組合

S2	S1	S0	名稱	功能
0	0	0	INTA	中斷認知
0	0	1	IOR	I/O 裝置讀取
0	1	0	IOW	I/O 裝置寫入
0	1	1	HALT	CPU 執行 HLT 指令而且在 HALT 狀態
1	0	0	IFETCH	CPU 正在讀取指令 OP CODE
1	0	1	MEMR	記憶體讀取
1	1	0	MEMW	記憶體寫入
1	1	1	NONE	系統匯流排不啟動

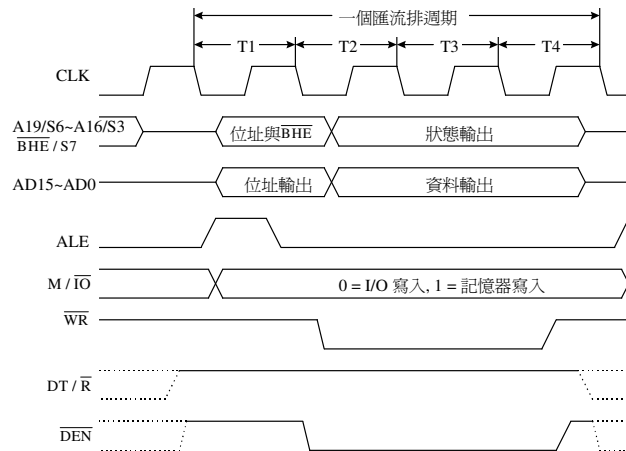
QS1與QS0的信號組合

QS1	QS0	名稱	功能
0	0	NOOP	沒有動作
0	1	QB1	在指令佇列中的第一個 OP CODE 正被執行
1	0	QE	指令佇列為空態
1	1	QBS	在指令佇列中的其它 (第一個除外) OP CODE 正被執行

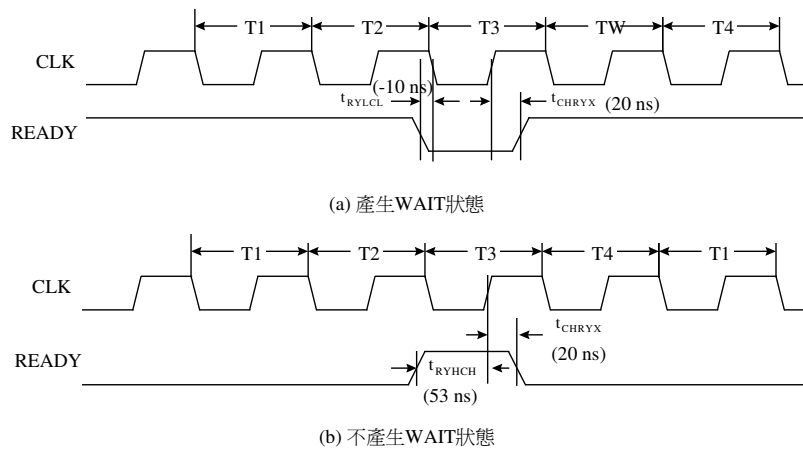
最小模式系統記憶體與I/O讀取匯流排週期時序圖



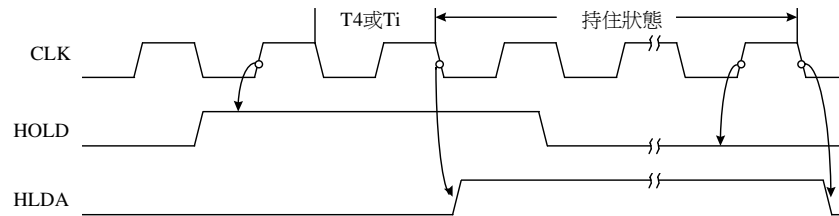
最小模式系統記憶體與I/O寫入匯流排週期時序



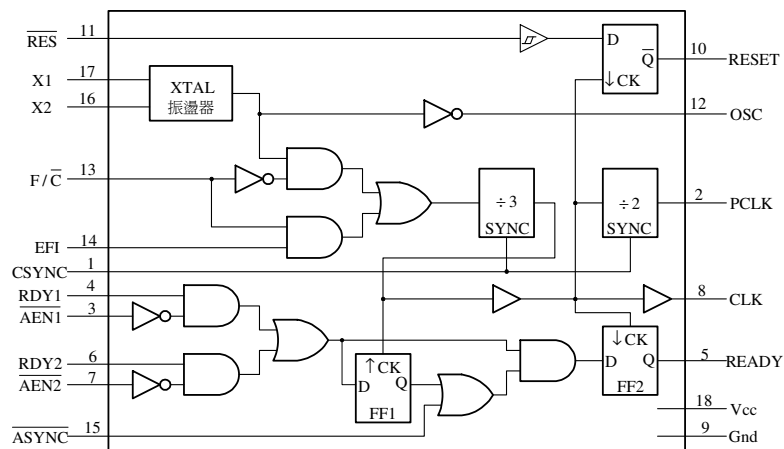
WAIT狀態時序



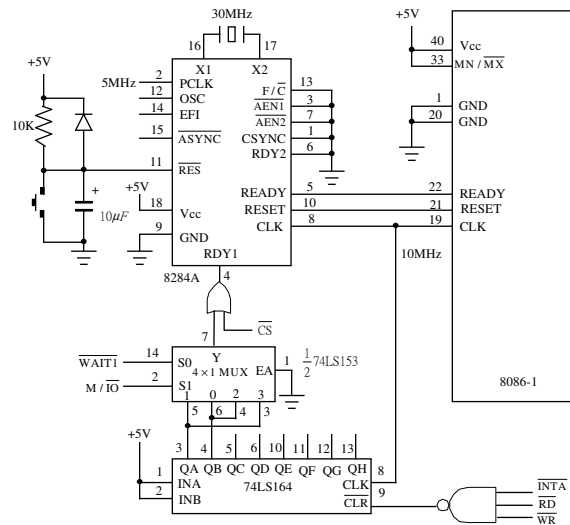
8086持住狀態(最小模式系統)



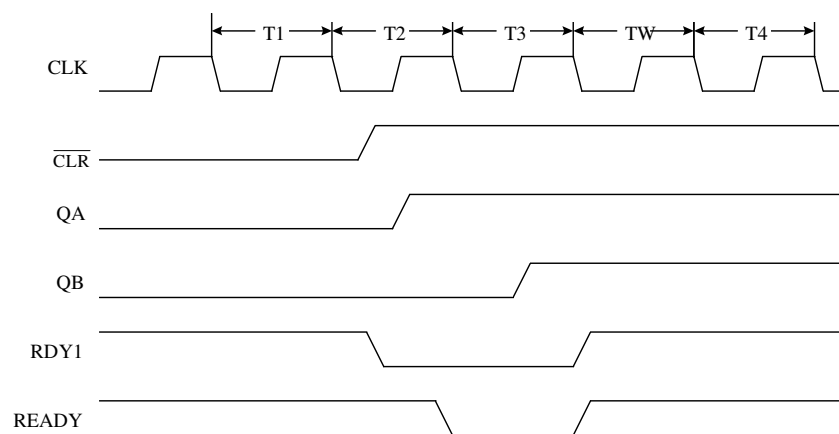
8284A時脈產生器



8086系統支援信號電路



8284A的RDY與8086的READY輸入信號時序



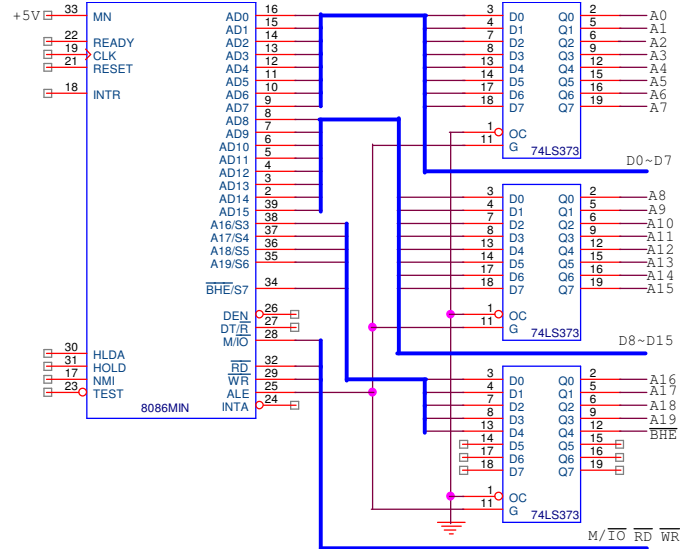
8086/8088的輸入與輸出電氣特性

$V_{IL} = 0.8\text{ V(max)}$	$V_{IH} = 2.0\text{ V(min)}$	$V_{OL} = 0.45\text{ V(max)}$	$V_{OH} = 2.4\text{ V(min)}$
$I_{IL} = -10\text{ }\mu\text{A(max)}$	$I_{IH} = 10\text{ }\mu\text{A(max)}$	$I_{OL} = 2.5\text{ mA(min)}$	$I_{OH} = -400\text{ }\mu\text{A(min)}$

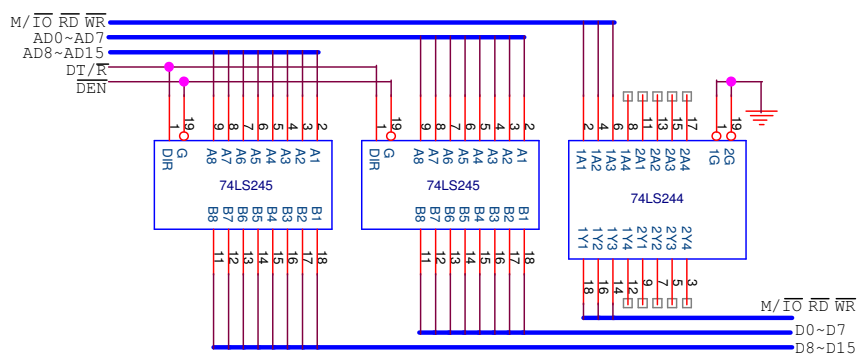
8086/8088對各種邏輯族系的元件之扇出數目

	I_{IL}	I_{IH}	I_{OL}	I_{OH}	8086 的扇出
74LSxx	-0.4 mA	20 μA	8 mA	-0.4 mA	6
74Sxx	-2.0 mA	50 μA	20 mA	-1.0 mA	1
74ALSxx	-0.2 mA	20 μA	4.0 mA	-0.4 mA	12
74HC/HCTxx	-0.1 μA	0.1 μA	4 mA	-4 mA	4000

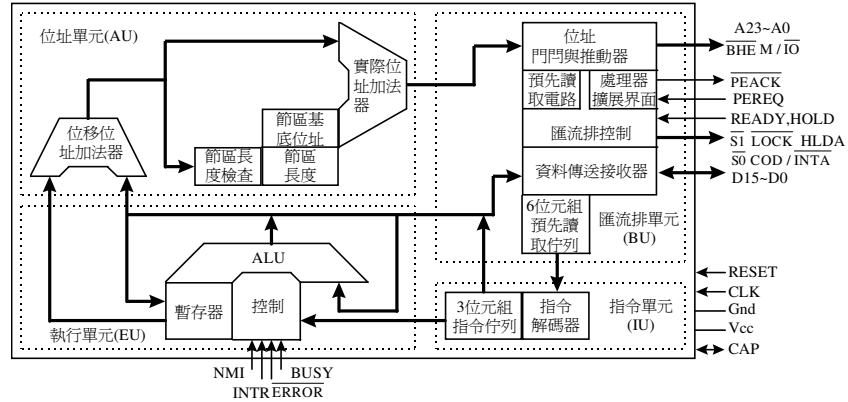
8086 CPU模組



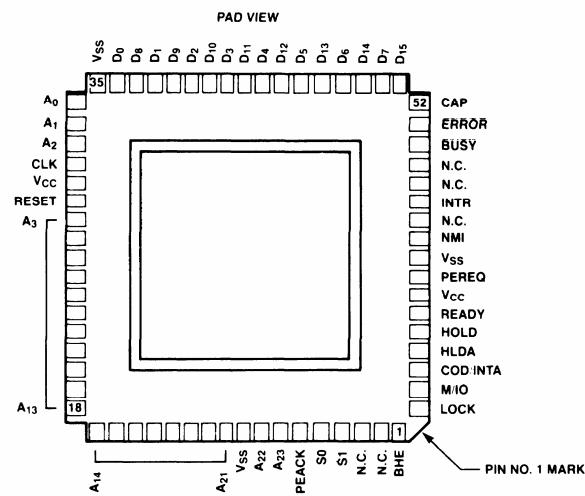
資料匯流排與控制信號緩衝電路



80286內部功能方塊圖



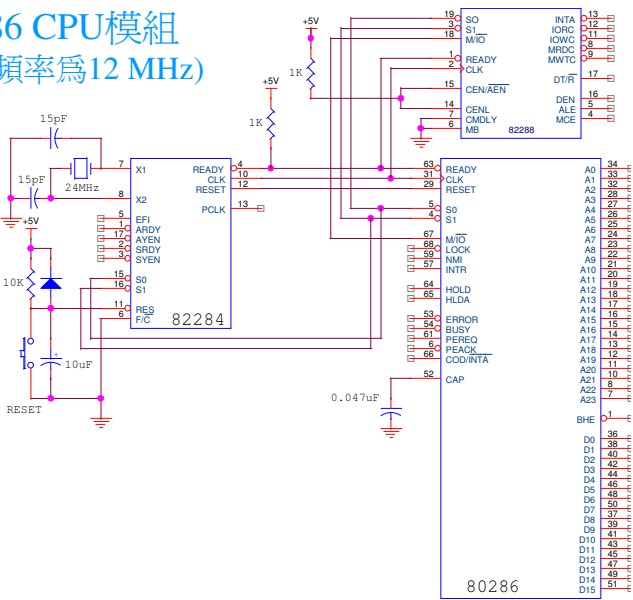
80286接腳分佈圖



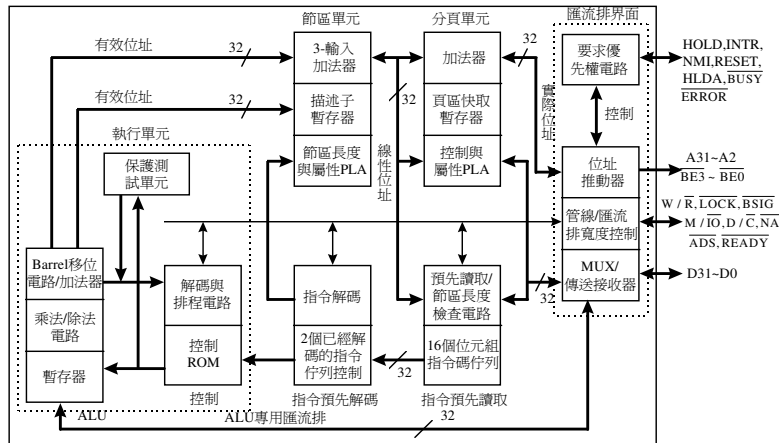
80286 匯流排週期類型

COD/ $\overline{\text{INTA}}$	M/ $\overline{\text{IO}}$	$\overline{\text{S1}}$	$\overline{\text{S0}}$	啟動的匯流排週期類型
0	0	0	0	中斷認知
0	1	0	0	若 A1=1 為 HALT ；否則為暫停(shutdown)
0	1	0	1	記憶體讀取
1	0	0	1	I/O 讀取
1	1	0	1	指令碼讀取
0	1	1	0	記憶體寫入
1	0	1	0	I/O 寫入

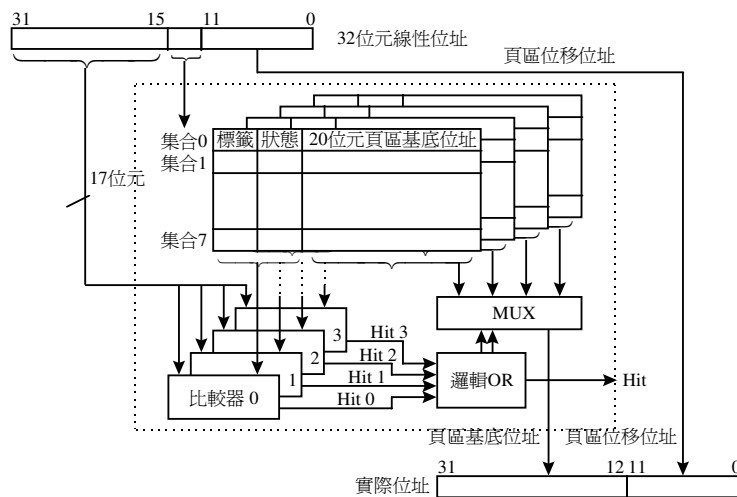
基本80286 CPU模組
(CPU工作頻率為12 MHz)



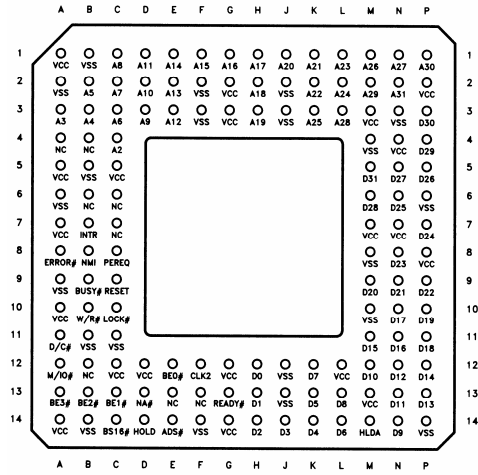
80386內部功能方塊圖



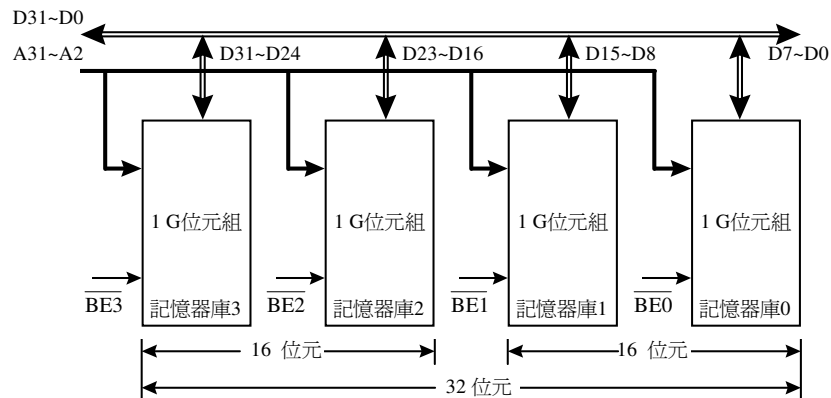
轉換旁瞻緩衝器(TLB)的邏輯方塊圖



80386DX的接腳(接腳面)圖



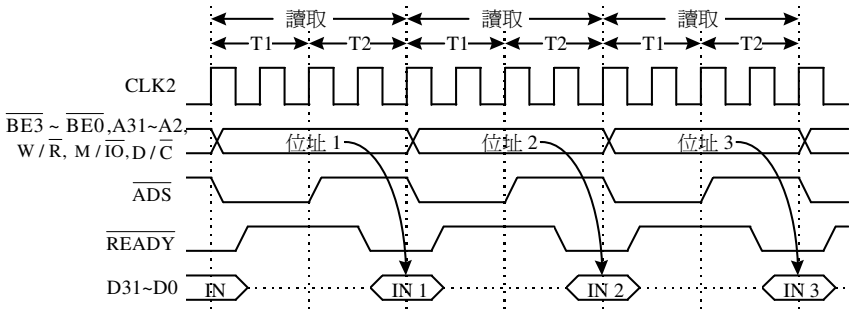
80386的實際記憶器組織



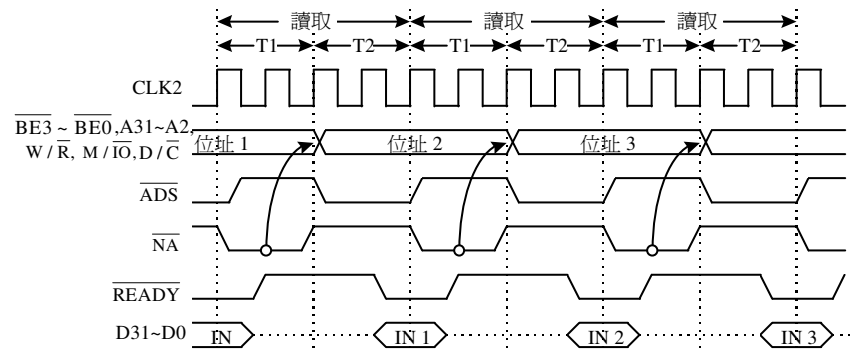
匯流排類型

M / IO	D / C	W / R	匯流排類型
0	0	0	中斷認知
0	0	1	(不成立)
0	1	0	I/O 讀取
0	1	1	I/O 寫入
1	0	0	指令碼讀取
1	0	1	HALT (A31 ~ A2 = 0; $\overline{\text{BE}}0 = \overline{\text{BE}}1 = \overline{\text{BE}}3 = 1; \overline{\text{BE}}2 = 0$) SHUTDOWN (A31 ~ A2 = 0; $\overline{\text{BE}}0 = 0; \overline{\text{BE}}1 = \overline{\text{BE}}2 = \overline{\text{BE}}3 = 1$)
1	1	0	記憶體讀取
1	1	1	記憶體寫入

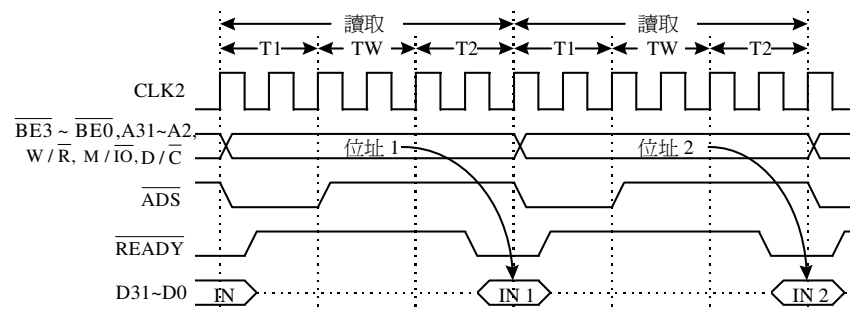
非管線式匯流排週期時序



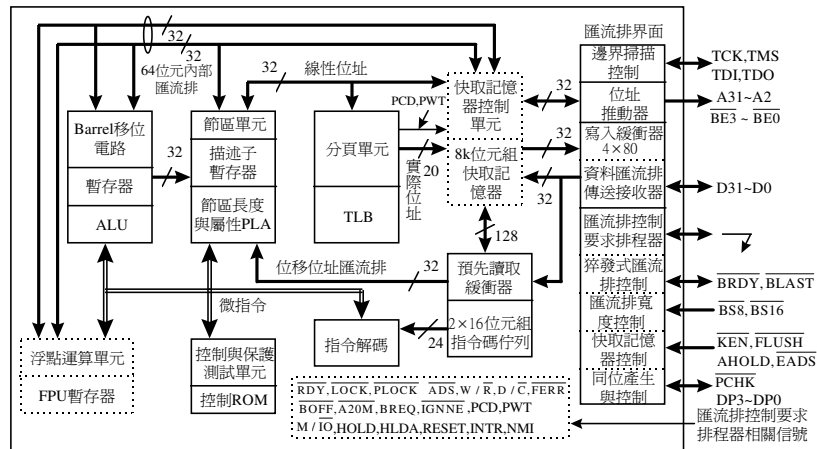
管線式匯流排週期時序



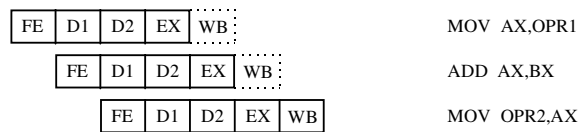
80386系統在加入等待狀態的時序



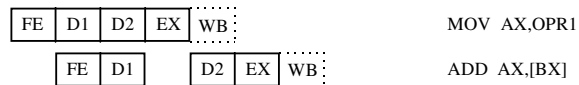
80486內部功能方塊圖



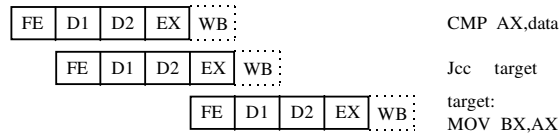
80486的管線式執行單元執行例



(a) 沒有資料延遲的情況

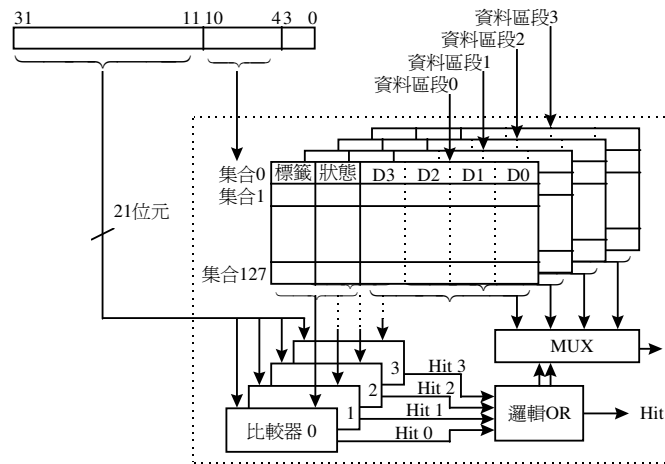


(b) 有資料延遲的情況



(c) 分岐指令

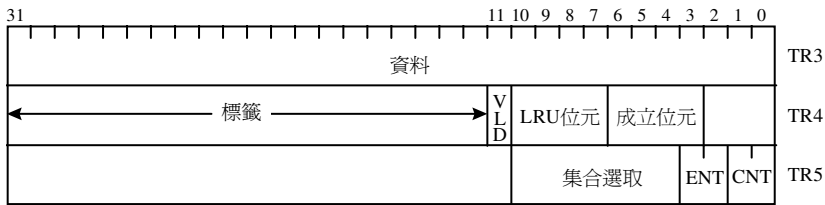
80486的快取記憶體



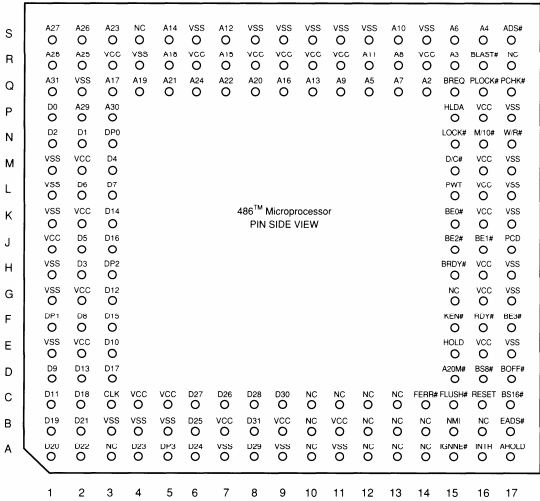
80486快取記憶體操作模式

控制位元		操作模式		
CD	NW	填入	穿透寫入	作廢
0	0	致能	致能	致能
1	0	抑制	致能	致能
1	1	抑制	抑制	抑制

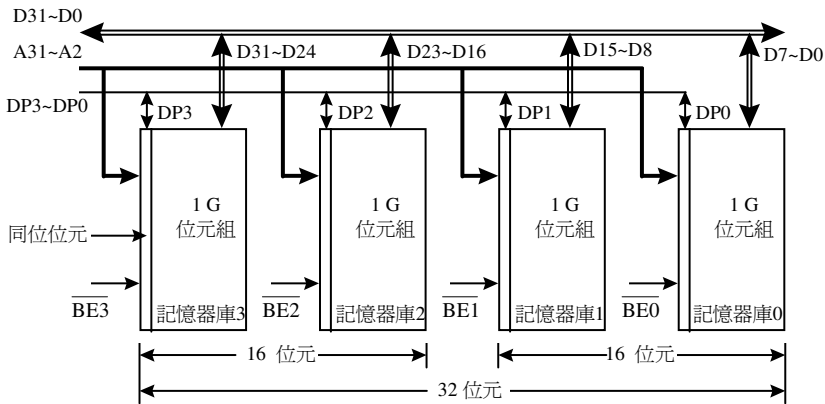
80486快取記憶體測試暫存器



80486DX的接腳圖



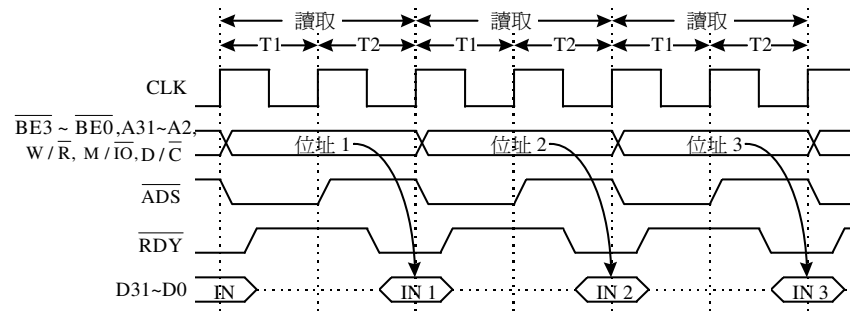
80486的實際記憶體組織



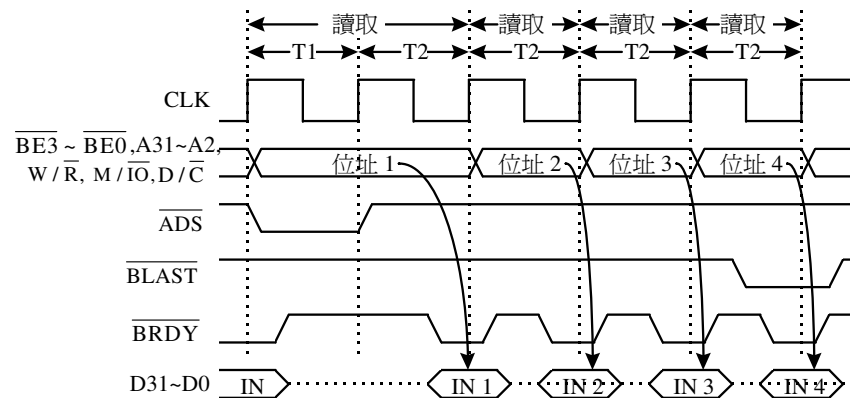
匯流排類型

M/I $\overline{O}$	D/C	W/R	匯流排類型	M/I $\overline{O}$	D $\overline{C}$	W/R	匯流排類型
0	0	0	中斷認知	1	0	0	指令碼讀取
0	0	1	暫停(halt)/特殊(special)	1	0	1	保留
0	1	0	I/O 讀取	1	1	0	記憶體讀取
0	1	1	I/O 寫入	1	1	1	記憶體寫入

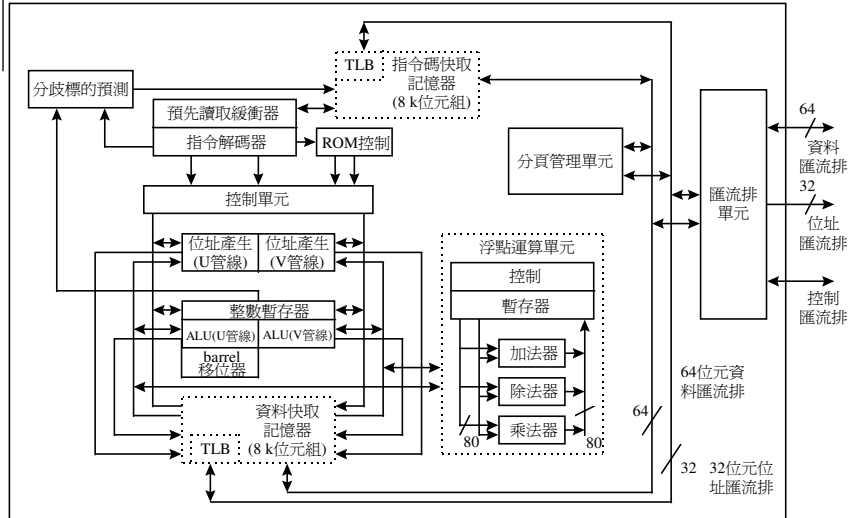
80486的非猝發式匯流排週期



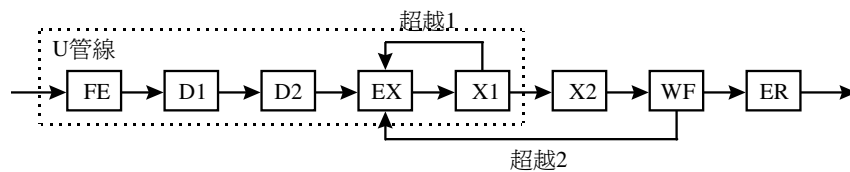
80486的猝發式匯流排週期



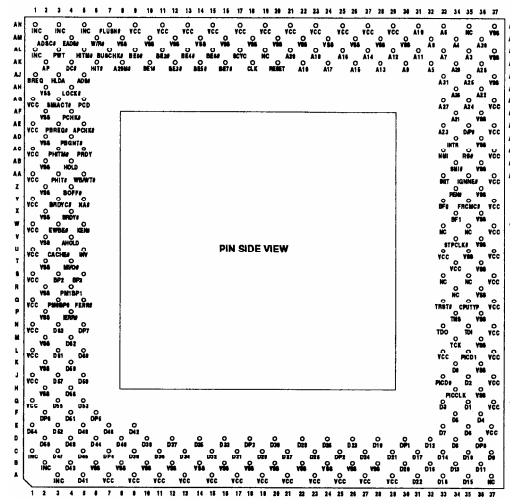
Pentium內部功能方塊圖



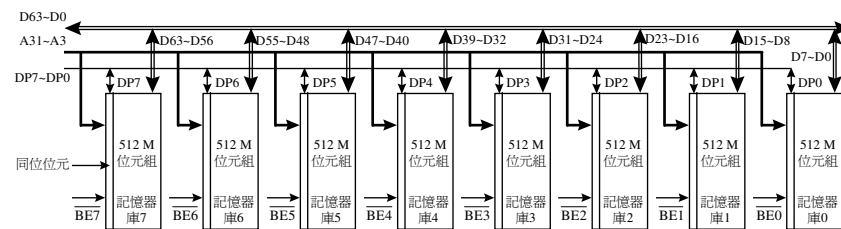
Pentium的FPU結構圖



Pentium(75/90/100/120/133)的接腳(接腳面)圖



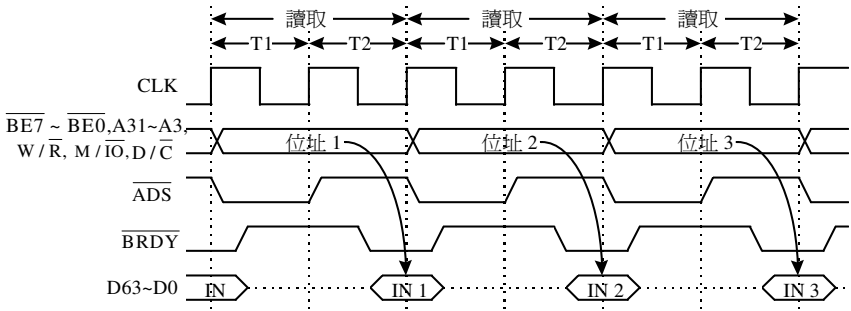
Pentium的實際記憶器組織



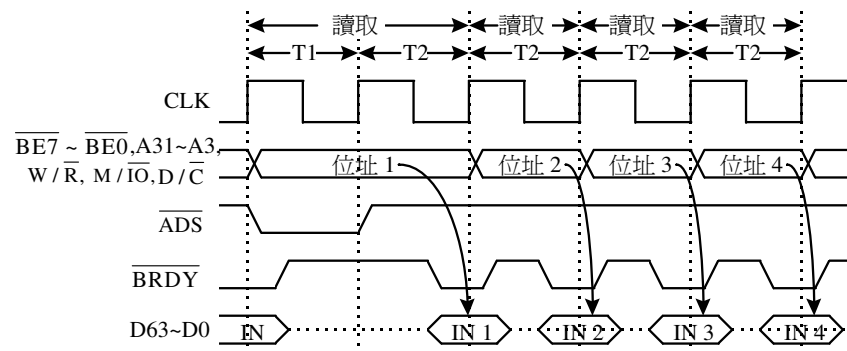
匯流排類型

M/ $\overline{\text{IO}}$	D/ $\overline{\text{C}}$	W/ $\overline{\text{R}}$	匯流排類型	M/ $\overline{\text{IO}}$	D/ $\overline{\text{C}}$	W/ $\overline{\text{R}}$	匯流排類型
0	0	0	中斷認知	1	0	0	指令碼讀取
0	0	1	暫停(halt)/特殊(special)	1	0	1	保留
0	1	0	I/O 讀取	1	1	0	記憶體讀取
0	1	1	I/O 寫入	1	1	1	記憶體寫入

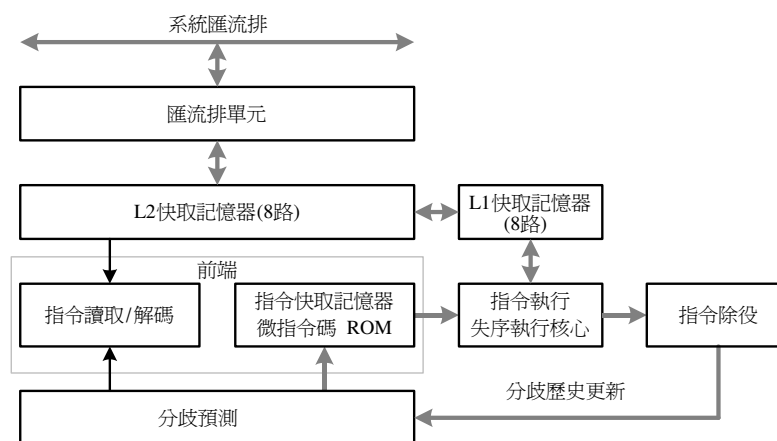
Pentium的非猝發式匯流排週期



Pentium的猝發式匯流排週期



P6處理器微架構方塊圖



Intel NetBurst微架構方塊圖

