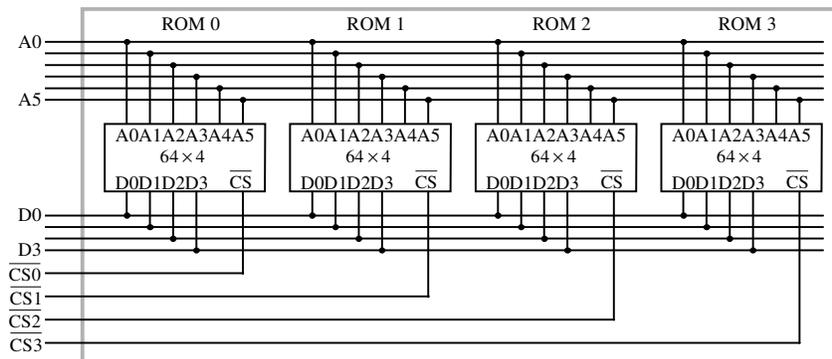


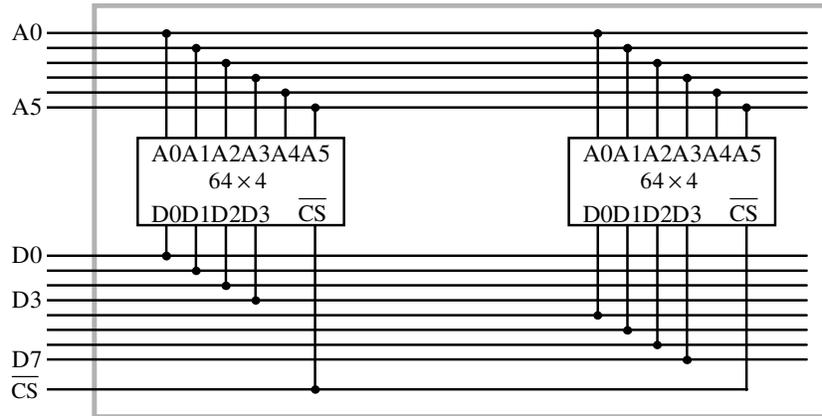
## 本章目標

- 了解記憶器位址解碼原理與電路設計方法
- 了解SRAM元件、時序、及其與CPU的界接
- 了解快閃記憶器元件、時序、及其與CPU的界接
- 了解DRAM元件、時序、及其與CPU的界接
- 了解SDRAM及DDR DRAM等元件的特性

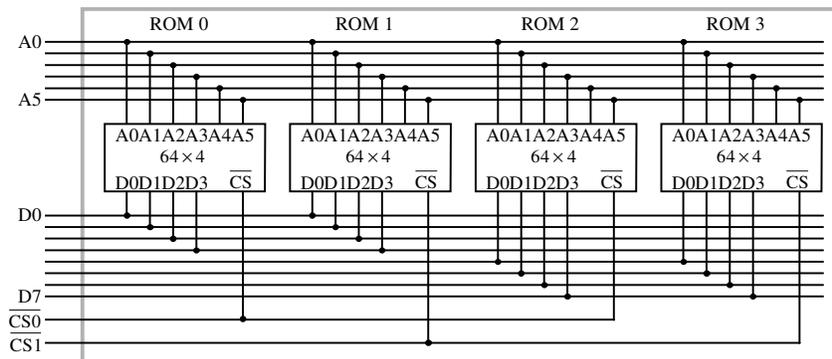
## 記憶器容量擴充例



### 記憶體語句寬度擴充例



### 記憶體容量與語句寬度同時擴充例



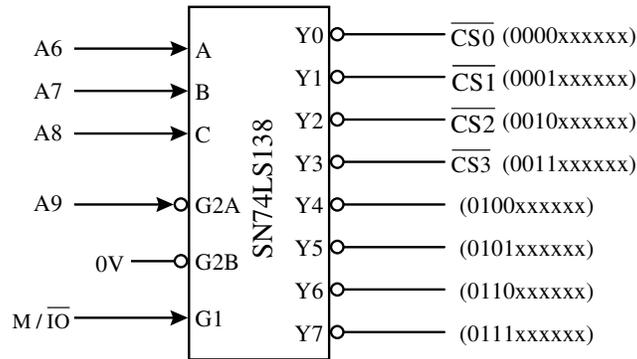
## 記憶器位址解碼原理

- 位址解碼
- 依據系統空間(CPU可以直接存取的所有空間)與元件(或裝置)實際所欲擁有的空間的映成關係分成：
  - 部分位址解碼
  - 完全解碼
  - 區段位址解碼

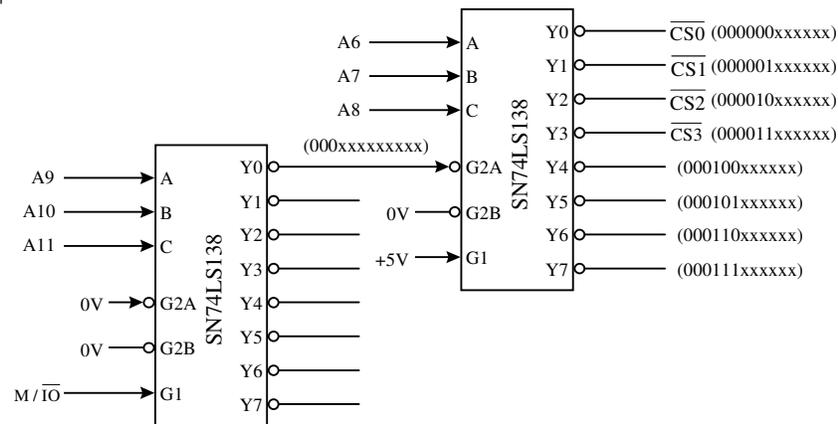
## 部分位址解碼 ---例題8.1-1解碼電路

A9	A8	A7	A6	十六進制	$\overline{CS}$
0	0	0	0	0	$\overline{CS0} = A9 + A6$
0	0	1	1	3	$\overline{CS1} = A9 + \overline{A7}$
0	1	0	1	5	$\overline{CS2} = A9 + \overline{A8}$
1	0	1	1	B	$\overline{CS3} = \overline{A9} + A8$
1	1	0	1	D	$\overline{A9} + A7$
1	1	1	0	E	$\overline{A9} + A6$

### 完全位址解碼 ---例題8.1-2解碼電路



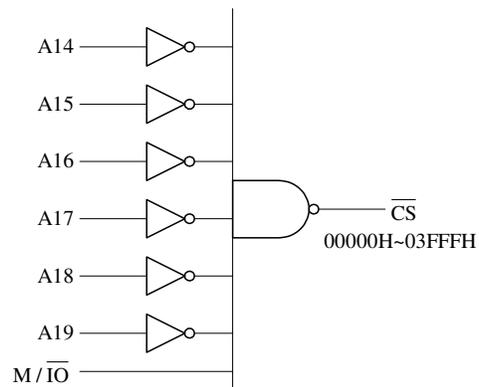
### 區段位址解碼 ---例題8.1-3解碼電路



## 位址解碼電路設計

- 位址解碼電路的設計方法一般可以分成下列數種：
  - 固定位址解碼
  - 開關選擇位址解碼
  - PROM位址解碼
  - PAL位址解碼

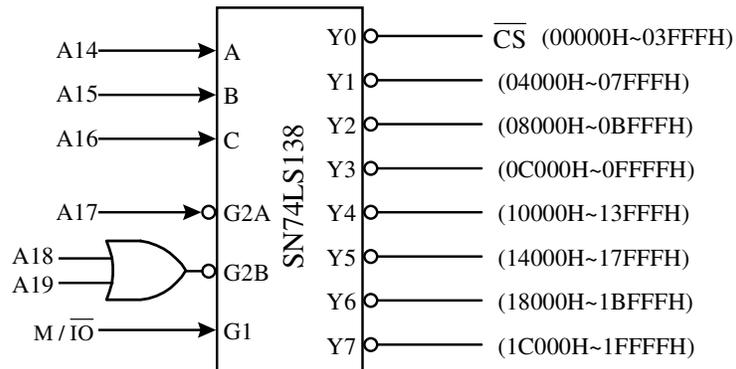
## 固定位址解碼 --- 使用NAND閘設計解碼電路(例題8.1-4)



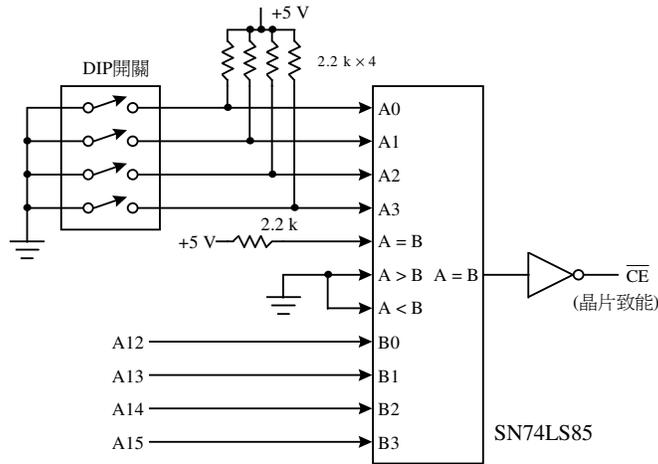
固定位址解碼 --- 使用解碼器元件 (例題8.1-5)

G1 (M/I $\bar{O}$ )	$\bar{G2A}$ (A17)	$\bar{G2B}$ (A18,A19)	C (A16)	B (A15)	A (A14)	位址區
1	0	0	0	0	0	00000H ~ 03FFFH
1	0	0	0	0	1	04000H ~ 07FFFH
1	0	0	0	1	0	08000H ~ 0BFFFH
1	0	0	0	1	1	0C000H ~ 0FFFFH
1	0	0	1	0	0	10000H ~ 13FFFH
1	0	0	1	0	1	14000H ~ 17FFFH
1	0	0	1	1	0	18000H ~ 1BFFFH
1	0	0	1	1	1	1C000H ~ 1FFFFH

固定位址解碼 --- 使用解碼器元件 (例題8.1-5)



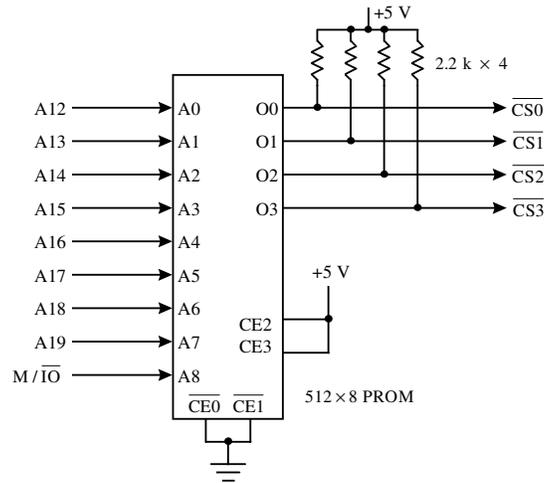
開關選擇位址解碼電路---例題8.1-6



PROM位址解碼電路 --- 例題8.1-7

PROM 輸入				PROM 輸出				記憶器位址區
M/ $\overline{\text{IO}}$	A19 ~ A14	A13	A12	O3	O2	O1	O0	
1	1	1	1	0	1	1	1	FF000H ~ FFFFFH( $\overline{\text{CS3}}$ )
1	1	1	0	1	0	1	1	FE000H ~ FEFFFH( $\overline{\text{CS2}}$ )
1	1	0	1	1	1	0	1	FD000H ~ FDFFFH( $\overline{\text{CS1}}$ )
1	1	0	0	1	1	1	0	FC000H ~ FCFHH( $\overline{\text{CS0}}$ )
其它輸入狀態				1	1	1	1	未用

PROM位址解碼電路 --- 例題8.1-7



PAL位址解碼電路 --- 例題8.1-8

```

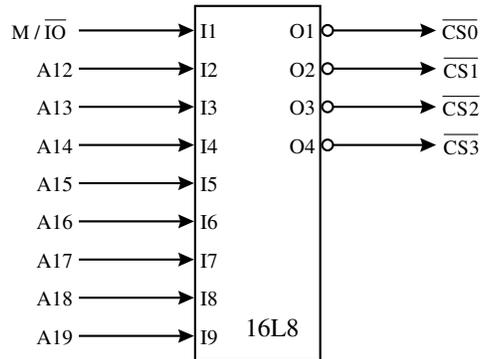
module Ex818 " example 8.1-7 address decoder.
title 'Example 8.1-7 address decoder.
M. B. Lin, ET NTUST'
Ex818 device 'P16L8';
@ALTERNATE "Use another set of Boolean operators.

declarations
" Input pins assignement
MIO,A12,A13,A14,A15,A16,A17,A18,A19 PIN 1,2,3,4,5,6,7,8,9;

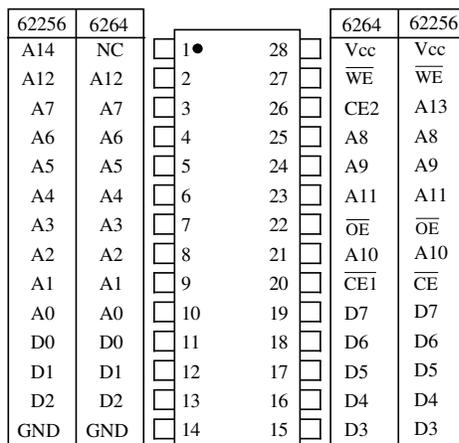
" Output pins assignment
/CS0,/CS1,/CS2,/CS3 PIN 12,13,14,15;

equations
/CS0 = MIO*A19*A18*A17*A16*A15*A14*/A13*/A12;
/CS1 = MIO*A19*A18*A17*A16*A15*A14*/A13*A12;
/CS2 = MIO*A19*A18*A17*A16*A15*A14*A13*/A12;
/CS3 = MIO*A19*A18*A17*A16*A15*A14*A13*A12;
end Ex818
    
```

### PAL位址解碼電路 --- 例題8.1-8



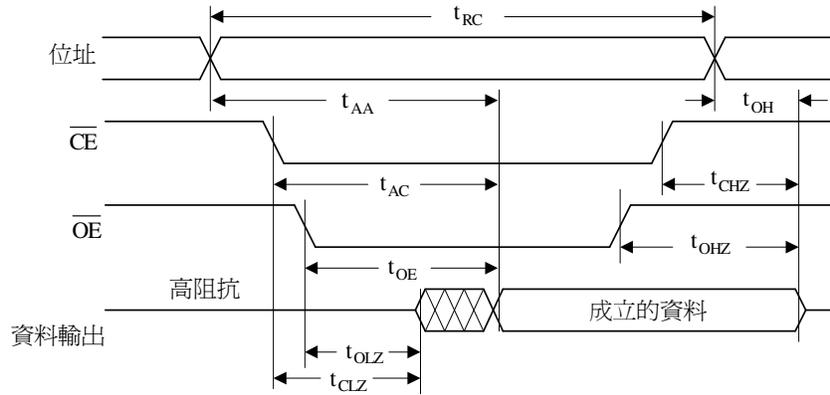
### 典型的SRAM (6264/62256)



WE	CE	OE	動作模式	Dn
x	1	x	未選取	高阻抗
1	0	1	輸出抑制	高阻抗
1	0	0	讀取	資料輸出
0	0	1	寫入	資料輸入
0	0	0	寫入	資料輸入

註：在6264中假設CE2與CE1的信號互為反相

### 6264/62256 SRAM讀取時序



### 6264/62256 SRAM讀取時序的參數值

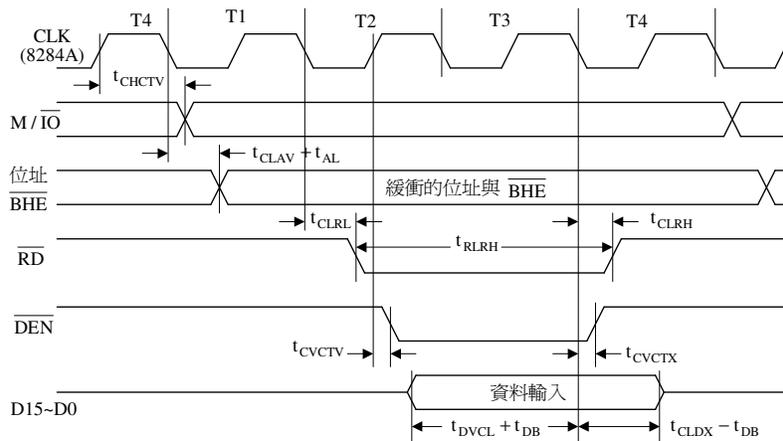
符號	參數	HM6264B-10L		MCM60L256A-C	
		最小值	最大值	最小值	最大值
$t_{RC}$	讀取週期時間	100 ns	-	100 ns	-
$t_{AA}$	位址存取時間	-	100 ns	-	100 ns
$t_{AC}$	$\overline{CE}$ 存取時間	-	100 ns	-	100 ns
$t_{OE}$	$\overline{OE}$ 存取時間	-	50 ns	-	50 ns
$t_{OH}$	由位址改變起算的輸出持住時間	10 ns	-	10 ns	-
$t_{CLZ}$	由 $\overline{CE}$ 啟動到輸出不為高阻抗的時間	10 ns	-	10 ns	-
$t_{OLZ}$	由 $\overline{OE}$ 啟動到輸出不為高阻抗的時間	5 ns	-	5 ns	-
$t_{CHZ}$	由 $\overline{CE}$ 不啟動到輸出為高阻抗的時間	0 ns	35 ns	0 ns	35 ns
$t_{OHZ}$	由 $\overline{OE}$ 不啟動到輸出為高阻抗的時間	0 ns	35 ns	0 ns	35 ns



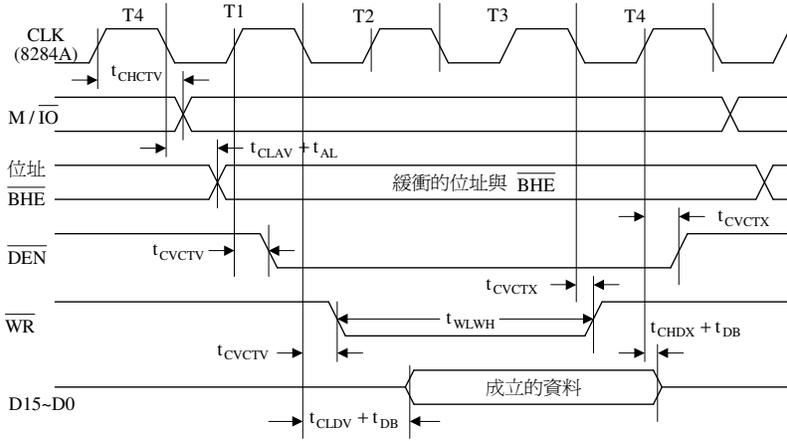
### 6264/62256 SRAM寫入時序的參數值

符號	參數	HM6264B-10L		MCM60L256A-C	
		最小值	最大值	最小值	最大值
$t_{WC}$	寫入週期時間	100 ns	-	100 ns	-
$t_{AS}$	位址設定時間	0 ns	-	0 ns	-
$t_{AW}$	位址成立到寫入週期結束的時間	80 ns	-	80 ns	-
$t_{WP}$	寫入脈波寬度	60 ns	-	60 ns	-
$t_{DS}$	資料設定時間	40 ns	-	35 ns	-
$t_{DH}$	資料持住時間	0 ns	-	0 ns	-
$t_{OHZ}$	由 $\overline{OE}$ 不啟動到輸出為高阻抗的時間	0 ns	35 ns	0 ns	35 ns
$t_{WHZ}$	$\overline{WE}$ 啟動到輸出為高阻抗的時間	0 ns	35 ns	0 ns	25 ns
$t_{WLZ}$	$\overline{WE}$ 不啟動到輸出為不高阻抗的時間	5 ns	-	10 ns	-
$t_{WR}$	寫入恢復時間	0 ns	-	0 ns	-
$t_{CW}$	$\overline{CE}$ 啟動到寫入週期結束的時間	80 ns	-	80 ns	-

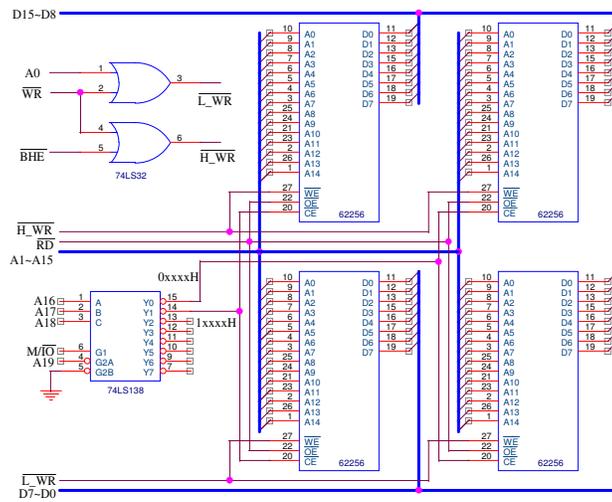
### 8086 CPU模組資料讀取匯流排週期時序圖



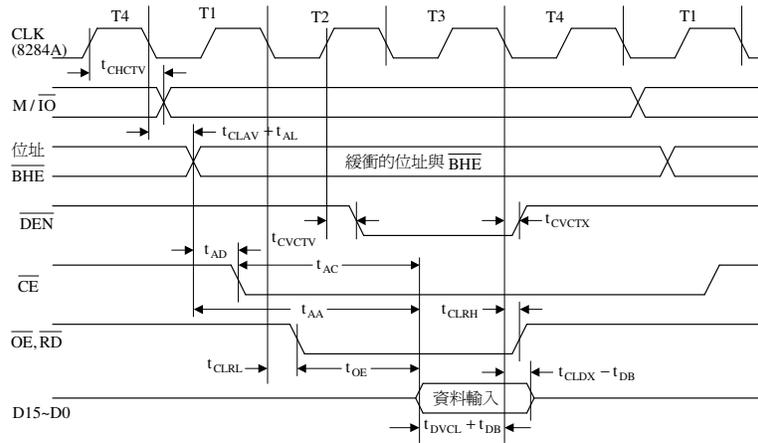
### 8086 CPU模組資料寫出匯流排(週期)時序圖



### 62256與8086 CPU模組的界接



### 62256與8086 CPU讀取時序圖



### 62256與8086 CPU模組的資料讀取時序

**例題 8.2-1 (62256 與 8086 CPU 模組的資料讀取時序)**

以圖 8.2-2 的時序及圖 8.2-6 的電路為例，考慮 62256 與 8086 CPU 模組之間的時序關係。

**解：** 假設使用下列 TTL 元件：

74LS138 —— 41 ns

74LS245 —— 12 ns

74LS373 —— 18 ns

8086-1 CPU 工作於 10 MHz，所以

$$t_{AL} = 18 \text{ ns (74LS373)}; t_{DB} = 12 \text{ ns (74LS245)};$$

$$t_{AD} = 41 \text{ ns (74LS138)}; t_{CLK} = 100 \text{ ns}$$

$$3 t_{CLK} > t_{CLAV} + t_{AL} + \max\{t_{AA}, t_{AD} + t_{AC}\} + t_{DVCL} + t_{DB}$$

$$3 \times 100 > 50(\max) + 18 + \max\{100, 41 + 100\} + 5 + 12$$

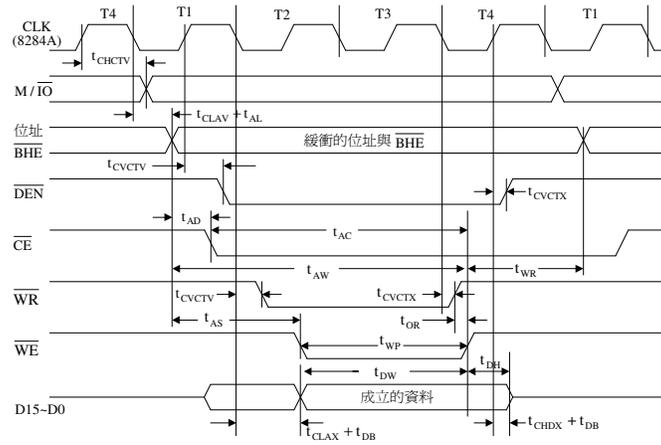
$$\therefore 300 > 50 + 18 + 141 + 5 + 12 = 226 \quad (\text{成立})$$

$$2 t_{CLK} > t_{CLRL} + t_{OE} + t_{DVCL} + t_{DB}$$

$$2 \times 100 > 70(\max) + 50(\max) + 5 + 12$$

$$\therefore 200 > 70 + 50 + 5 + 12 = 137 \quad (\text{成立})$$

### 62256與8086 CPU寫入時序圖



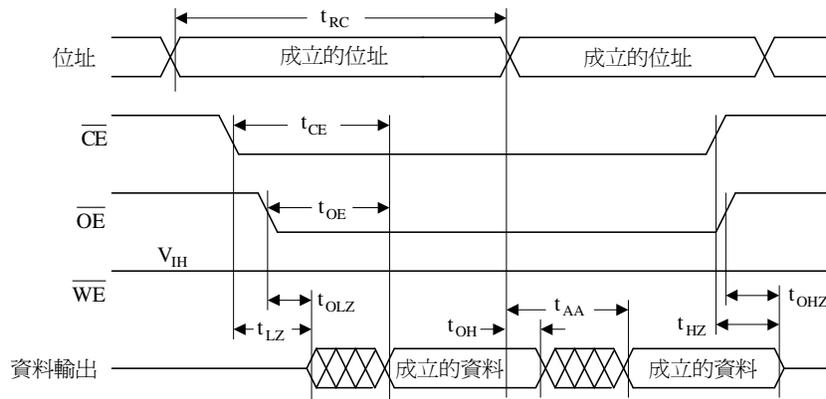
### 8086 CPU模組與62256的資料寫入時序值

參數	以 8086 CPU 模組的參數表示	參數值( ns)	需求值( ns)	超出值( ns)
$t_{WC}$	$4 t_{CLK}$	400	100	300
$t_{AW}$	$3 t_{CLK} - t_{CLAV(max)} - t_{AL} + t_{CVCTX(min)} + t_{OR}$	264	80	184
$t_{CW}$	$t_{AW} - t_{AD}$	223	80	143
$t_{WP}$	$2 t_{CLK} - 35 \text{ ns} (= t_{WLWH})$	165	60	105
$t_{AS}$	$t_{CLK} - t_{CLAV(max)} - t_{AL} + t_{CVCTV(min)} + t_{OR}$	64	0	64
$t_{WR}$	$4 t_{CLK} - t_{AW}$	136	0	136
$t_{DW}$	$2 t_{CLK} - t_{CLAX} - t_{DB} + t_{CVCTX(min)} + t_{OR}$	210	35	175
$t_{DH}$	$\frac{1}{2} t_{CLK} + t_{CHDX(min)} + t_{DB} - t_{CVCTX(min)} - t_{OR}$	9	0	0

### 快閃記憶器(28系列)接腳分佈圖

28x040	28x010	28x512																	28x512	28x010	28x040		
A18	NC	NC			1																Vcc	Vcc	Vcc
A16	A16	NC			2																WE	WE	WE
A15	A15	A15	28x256	28x64	3	1	28	30			Vcc	Vcc	NC	NC	A17								
A12	A12	A12	A14	NC	4	2	27	29			WE	WE	A14	A14	A14								
A7	A7	A7	A7	A7	5	3	26	28			NC	A13	A13	A13	A13								
A6	A6	A6	A6	A6	6	4	25	27			A8	A8	A8	A8	A8								
A5	A5	A5	A5	A5	7	5	24	26			A9	A9	A9	A9	A9								
A4	A4	A4	A4	A4	8	6	23	25			A11	A11	A11	A11	A11								
A3	A3	A3	A3	A3	9	7	22	24			OE	OE	OE	OE	OE								
A2	A2	A2	A2	A2	10	8	21	23			A10	A10	A10	A10	A10								
A1	A1	A1	A1	A1	11	9	20	22			CE1	CE	CE	CE	CE								
A0	A0	A0	A0	A0	12	10	19	21			D7	D7	D7	D7	D7								
D0	D0	D0	D0	D0	13	11	18	20			D6	D6	D6	D6	D6								
D1	D1	D1	D1	D1	14	12	17	19			D5	D5	D5	D5	D5								
D2	D2	D2	D2	D2	15	13	16	18			D4	D4	D4	D4	D4								
GND	GND	GND	GND	GND	16	14	15	17			D3	D3	D3	D3	D3								

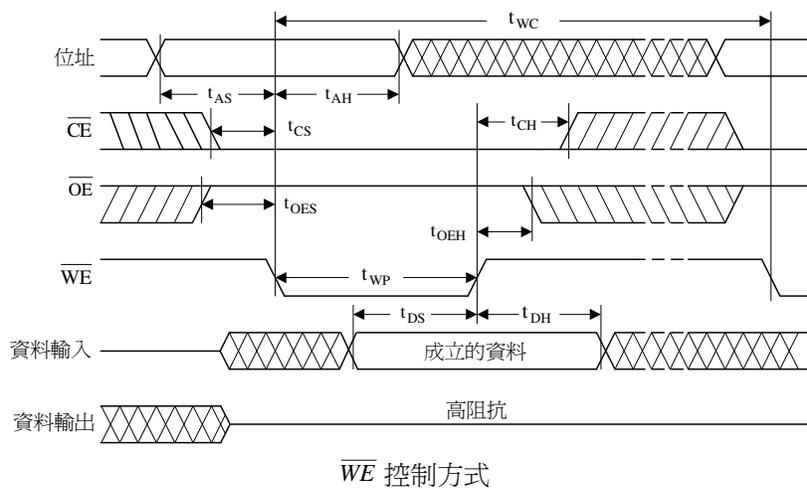
### 典型的快閃記憶器資料讀取時序圖



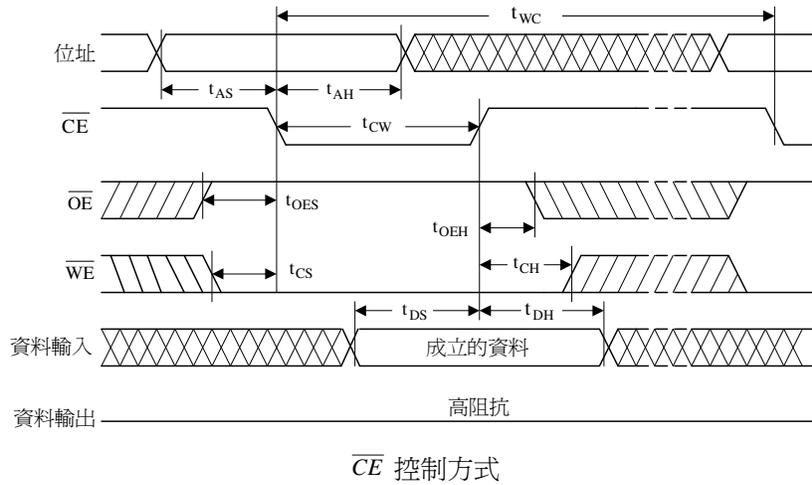
### X28HC256的讀取時序參數值

符號	參數	X28HC256-70		X28HC256-90		X28HC256-12	
		最小值	最大值	最小值	最大值	最小值	最大值
$t_{RC}$	讀取週期時間	70 ns		90 ns		120 ns	
$t_{AA}$	位址存取時間		70 ns		90 ns		120 ns
$t_{CE}$	$\overline{CE}$ 存取時間		70 ns		90 ns		120 ns
$t_{OE}$	$\overline{OE}$ 存取時間		35 ns		40 ns		50 ns
$t_{LZ}$	$\overline{CE}$ 啟動到輸出啟動	0 ns		0 ns		0 ns	
$t_{OLZ}$	$\overline{OE}$ 啟動到輸出啟動	0 ns		0 ns		0 ns	
$t_{HZ}$	$\overline{CE}$ 不啟動到輸出為高阻抗		35 ns		40 ns		50 ns
$t_{OHZ}$	$\overline{OE}$ 不啟動到輸出為高阻抗		35 ns		40 ns		50 ns
$t_{OH}$	輸出資料持住時間	0 ns		0 ns		0 ns	

### X28HC256快閃記憶器寫入時序



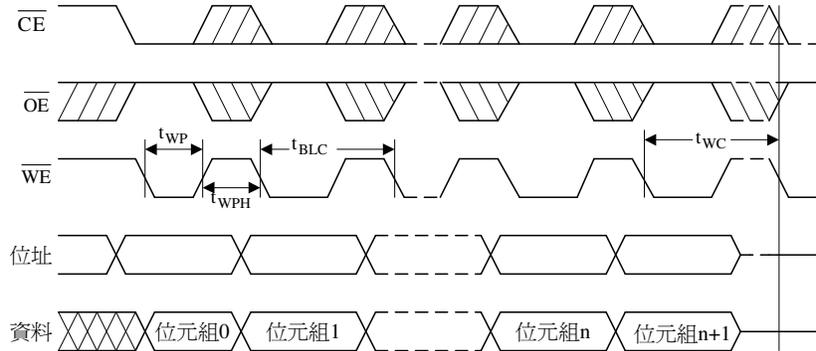
### X28HC256快閃記憶器寫入時序



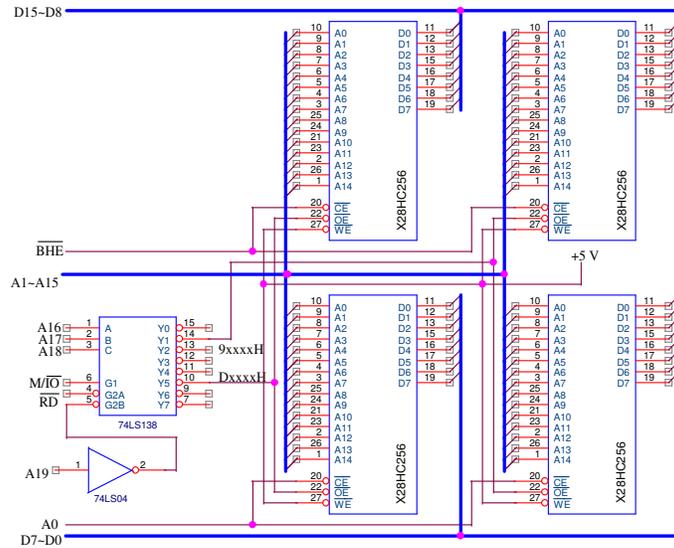
### X28HC256的寫入時序參數值

符號	參數	最小值	最大值
$t_{WC}$	寫入週期時間	3 ms	5 ms
$t_{AS}$	位址設定時間	0 ns	-
$t_{AH}$	位址持住時間	50 ns	-
$t_{CS}$	寫入設定時間	0 ns	-
$t_{CH}$	寫入持住時間	0 ns	-
$t_{CW}$	$\overline{CE}$ 脈波寬度	50 ns	-
$t_{OES}$	$\overline{OE}$ 不啓動設定時間	0 ns	-
$t_{OEH}$	$\overline{OE}$ 不啓動持住時間	0 ns	-
$t_{WP}$	$\overline{WE}$ 脈波寬度	-	-
$t_{WPH}$	$\overline{WE}$ 脈波為高電位的時間	50 ns	-
$t_{DV}$	資料成立時間	-	1 $\mu$ s
$t_{DS}$	資料設定時間	50 ns	-
$t_{DH}$	資料持住時間	0 ns	-
$t_{BLC}$	位元組載入時間	150 ns	100 $\mu$ s

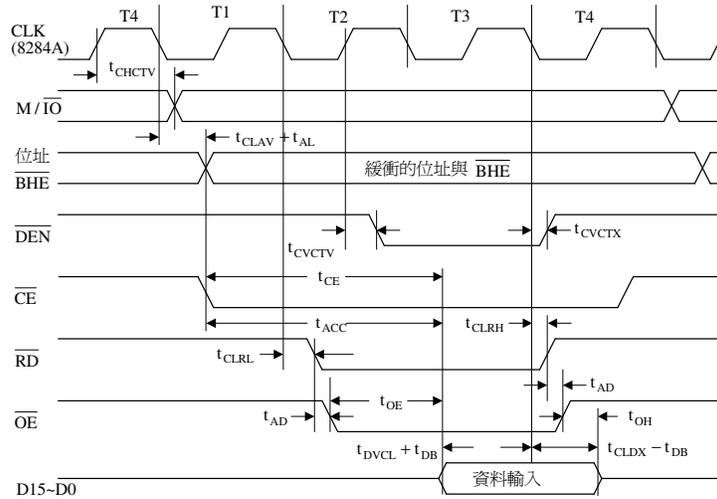
### X28HC256快閃記憶器頁區寫入時序



### X28HC256與8086 CPU模組的界接



### 快閃記憶器元件與8086組合的讀取時序圖



### 快閃記憶器系統設計

#### 例題 8.3-1 (快閃記憶器系統設計)

假設系統使用 8086-1(10 MHz)而位址門與位址解碼電路均使用 74LS 序列元件，即 74LS373 與 74LS138(及 74LS04)，8086-1 時序與各時間的數值如附錄 A 所示，

TTL 各元件的延遲(最大值)如下：

74LS04 —— 15 ns (max)

74LS138 —— 41 ns (max)

74LS245 —— 12 ns (max)

74LS373 —— 18 ns (max)

則必須使用存取時間為多少的快閃記憶器元件，才不需要加入 WAIT 狀態。

解：  $t_{AL} = 18 \text{ ns}$  (74LS373)；  $t_{DB} = 12 \text{ ns}$  (74LS245)；

$t_{AD} = 15 + 41 = 56 \text{ ns}$  (74LS04 + 74LS138)；

$t_{CLK} = 100 \text{ ns}$

## 快閃記憶器系統設計

所以由(8.4)得

$$2t_{CLK} > t_{CLRL}(\max) + t_{AD} + t_{OE}(\max) + t_{DVCL}(\min) + t_{DB}$$

即  $2 \times 100 > 70(\max) + 56 + t_{OE}(\max) + 5(\min) + 12$

$$\therefore t_{OE} < 57 \text{ ns}$$

由(8.3)得

$$3t_{CLK} > t_{CLAV}(\max) + t_{AL} + t_{AA}(\max) + t_{DVCL}(\min) + t_{DB}$$

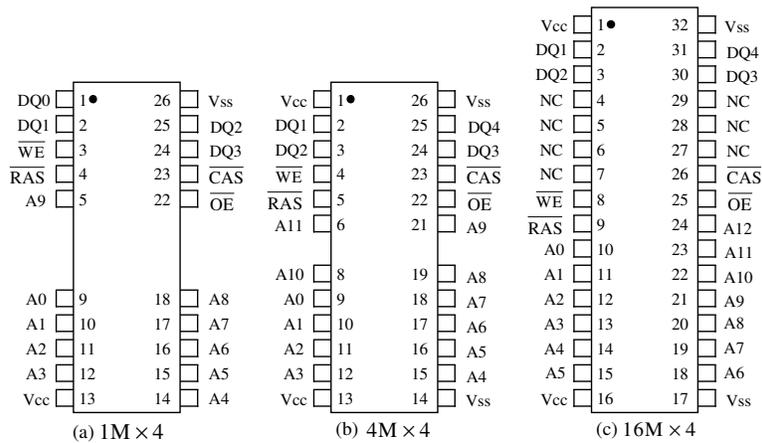
即

$$3 \times 100 > 50(\max) + 18 + t_{AA}(\max) + 5(\min) + 12$$

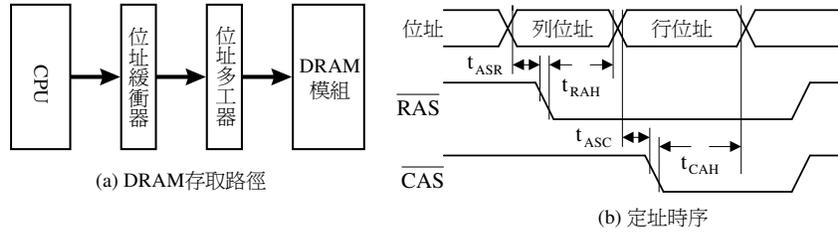
$$\therefore t_{AA} < 215 \text{ ns}$$

由表 8.3-1 所示的時序資料得知：三種不同存取速度的 X28HC257 元件，均可以符合上述時序需求。

## DRAM元件的邏輯符號



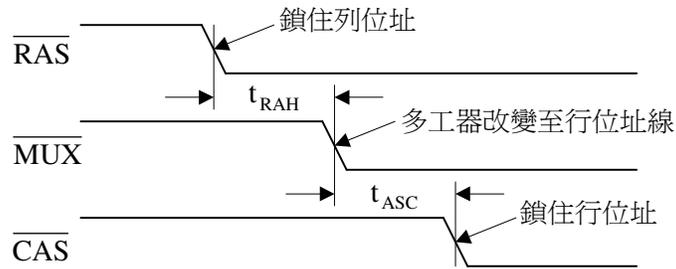
## DRAM存取路徑與時序



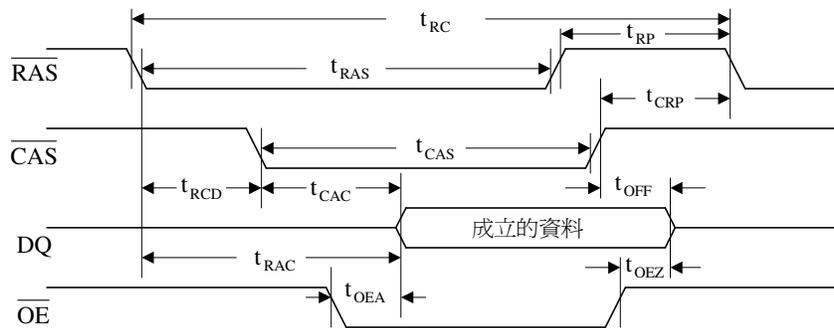
## 位址路徑時序(HYB 5116405J 4 M\*4-EDO DRAM)

符號	參數	-50		-60		-70	
		最小值	最大值	最小值	最大值	最小值	最大值
$t_{ASR}$	列位址設定時間	0 ns	-	0 ns	-	0 ns	-
$t_{RAH}$	列位址持住時間	8 ns	-	10 ns	-	10 ns	-
$t_{ASC}$	行位址設定時間	0 ns	-	0 ns	-	0 ns	-
$t_{CAH}$	行位址持住時間	8 ns	-	10 ns	-	12 ns	-

### RAS\*、MUX\*、和CAS\*信號時序圖



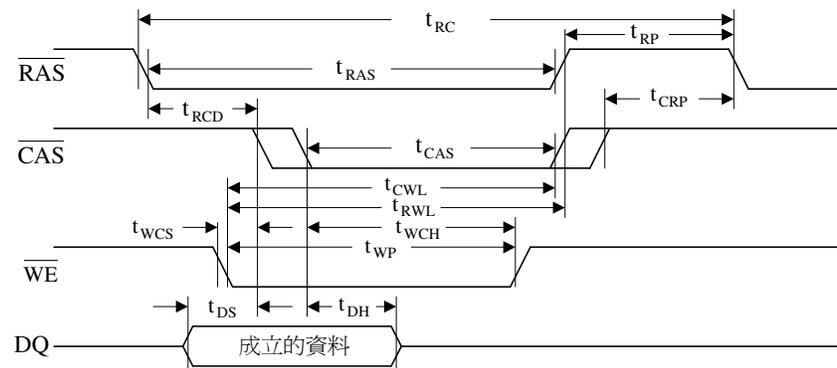
### DRAM讀取週期時序



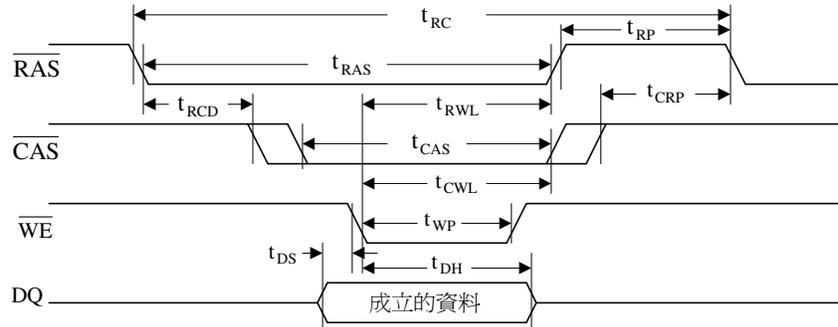
### 資料讀取週期時序(HYB 5116405J 4 M \*4-EDO DRAM)

符號	參數	-50		-60		-70	
		最小值	最大值	最小值	最大值	最小值	最大值
$t_{CAC}$	由CAS起算的存取時間	-	13 ns	-	15 ns	-	17 ns
$t_{CAS}$	CAS脈波寬度	8 ns	10 ns	10 ns	10 ns	12 ns	10 ns
$t_{CRP}$	CAS到RAS預充電時間	5 ns	-	5 ns	-	5 ns	-
$t_{OEA}$	OE存取時間	-	13 ns	-	15 ns	-	17 ns
$t_{OEZ}$	由OE起算的輸出關閉時間	0 ns	13 ns	0 ns	15 ns	0 ns	17 ns
$t_{OFF}$	輸出緩衝器關閉延遲	0 ns	13 ns	0 ns	15 ns	0 ns	17 ns
$t_{RAC}$	由RAS起算的存取時間	-	50 ns	-	60 ns	-	70 ns
$t_{RAS}$	RAS脈波寬度	50 ns	10 ns	60 ns	10 ns	70 ns	10 ns
$t_{RC}$	隨意讀取或寫入的週期時間	84 ns	-	104 ns	-	124 ns	-
$t_{RCD}$	RAS到CAS延遲	12 ns	37 ns	14 ns	45 ns	14 ns	53 ns
$t_{RP}$	RAS預充電時間	30 ns	-	40 ns	-	50 ns	-

### DRAM寫入週期時序(CAS\*控制方式)



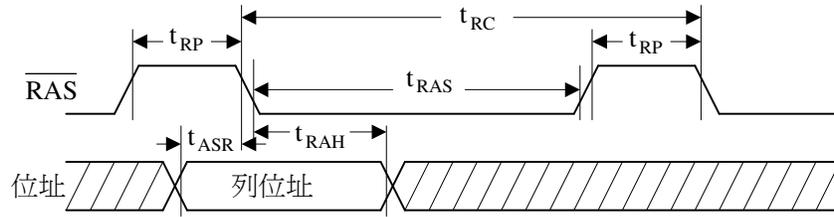
### DRAM寫入週期時序(WE\*控制方式)



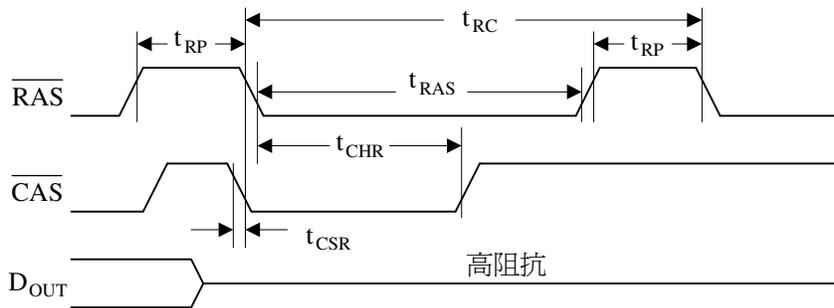
### 資料寫入週期時序(HYB 5116405J 4 M\*4-EDO DRAM)

符號	參數	-50		-60		-70	
		最小值	最大值	最小值	最大值	最小值	最大值
$t_{CWL}$	寫入命令領前 CAS 的時間	13 ns	-	15 ns	-	17 ns	-
$t_{DH}$	資料持住時間	8 ns	-	10 ns	-	12 ns	-
$t_{DS}$	資料設定時間	0 ns	-	0 ns	-	0 ns	-
$t_{RWL}$	寫入命令領前 RAS 的時間	13 ns	-	15 ns	-	17 ns	-
$t_{WCH}$	寫入命令持住時間	8 ns	-	10 ns	-	10 ns	-
$t_{WCS}$	寫入命令設定時間	0 ns	-	0 ns	-	0 ns	-
$t_{WP}$	寫入命令脈波寬度	8 ns	-	10 ns	-	10 ns	-

### 基本的DRAM資料更新方式



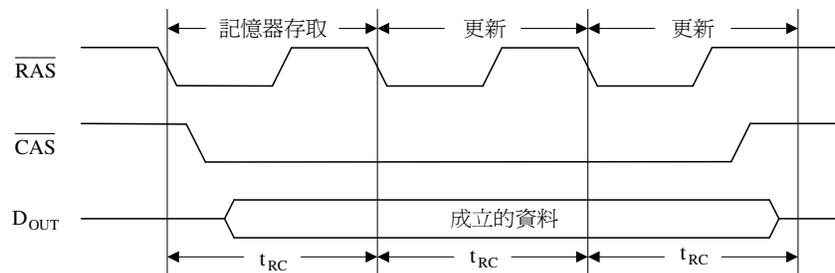
### CAS\*在RAS\*前啟動更新方式



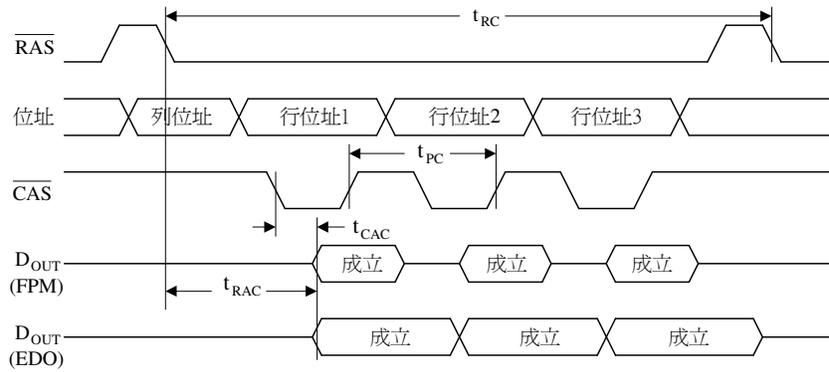
### 資料更新週期時序(HYB 5116405J 4 M \*4-EDO DRAM)

符號	參數	-50		-60		-70	
		最小值	最大值	最小值	最大值	最小值	最大值
$t_{CHR}$	CAS 持住時間	10 ns	-	10 ns	-	10 ns	-
$t_{CSR}$	CAS 設定時間	10 ns	-	10 ns	-	10 ns	-

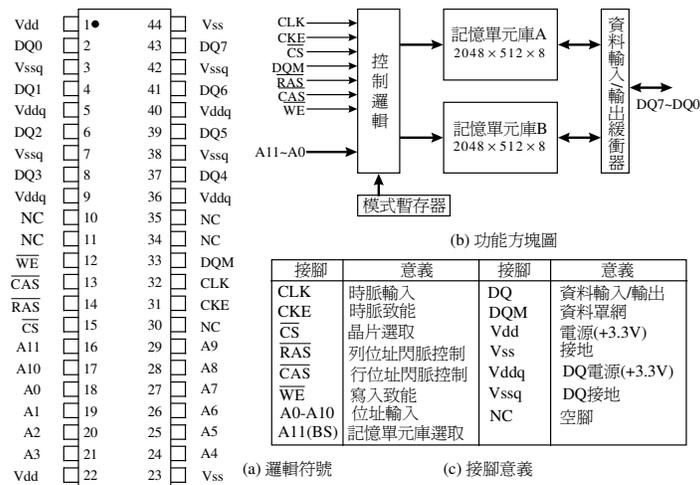
### 隱藏式更新方式



### FPM與EDO模式的簡化時序圖



### TMS626802/HYB39S16800T (1 M\*8 \*2) SDRAM



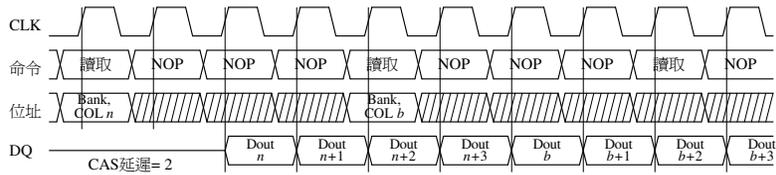
## TMS626802//HYB39S16800T的命令

DQM	$\overline{\text{CS}}$	$\overline{\text{RAS}}$	$\overline{\text{CAS}}$	$\overline{\text{WE}}$	動作
x	1	x	x	x	備用(忽略RAS、CAS、WE、與位址信號)
x	0	0	1	1	寫入列位址與選取欲存取的記憶單元庫
x	0	1	0	1	寫入行位址與讀取命令
x	0	1	0	0	寫入行位址與寫入命令
x	0	0	1	0	預充電命令
x	0	1	1	0	停止猝發式資料存取命令
x	0	0	0	1	自我資料更新命令
x	0	0	0	0	模式暫存器設定命令
0	x	x	x	x	寫入致能/輸出致能
1	x	x	x	x	寫入抑制/輸出抑制
x	0	1	1	1	NOP(沒有動作)

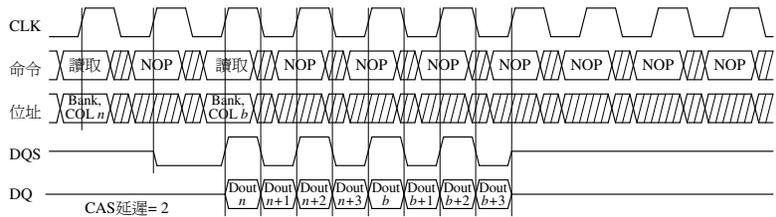
## TMS626802//HYB39S16800T的模式暫存器內容

BS	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
操作模式					CAS 延遲		BT	猝發式長度			
模式					延遲		0=依序 1=交叉	依序		交叉	
00000 =	正常				000 =	-		000 =	1	1	
xx100 =	多重猝發式但是單一寫入				001 =	1		001 =	2	2	
					010 =	2		010 =	4	4	
					011 =	3		011 =	8	8	
其它	-				其它	-		111 =	整頁		-

### SDRAM與DDR SDRAM的資料速率比較



(a) SDRAM讀取時序



(b) DDR SDRAM讀取時序